

## 层次化 SoC 设计规划方案

### 产品简介

NavisPro 可提供整体性设计规划解决方案，支持在 RTL 设计阶段完成芯片评估和布局规划，帮助芯片设计师在布局规划早期阶段预测并预防物理实现问题。

RTL 布局规划是 SoC 设计物理实现过程的第一步，NavisPro 同时支持 top-down 和 bottom-up 设计方法，与传统的子系统划分和芯片级整合流程一致。

层次化布局设计方法解决了 SoC 设计的复杂性问题。NavisPro 支持交互式物理层次划分和每一个子系统 pin 的自动布局，pin 的分布作为子系统版图的关键约束，直接决定了全芯片绕线拥堵的范围。

此外，准确评估子系统之间的总线互连时序对于时序收敛至关重要。NavisPro 提供不同设计层次之间的 net 跟踪功能，不同层次之间互联 net 的时序估算对芯片级时序评估非常关键。

### 产品优势

- 经业界验证的 SoC 设计规划解决方案
- 多层次设计规划 (RTL/Gate/Black box)
- 灵活的设计抽象管理
- 丰富而实用的功能方便解决实际工程问题
- 自动区块引脚分配和总线互连规划
- 独立 RTL 设计规划解决方案
- 输入数据设置省时省力
- 大幅减少设计迭代次数从而缩短设计周期

### 技术规格

- 以约束驱动的 RTL 布局规划
  - Bump 阵列构造
  - 总线互连探查
  - 互连延迟估算
  - 自动化 pipeline 寄存器布局
  - 全局绕线拥堵分析
  - 自动和手动 pin 分配
  - Block 布局/形状和芯片面积评估
- 设计和约束探索
  - RTL 设计探索
  - 低功耗设计探索
  - 时钟树结构探索
- 灵活的 top-down 和 bottom-up 布局规划

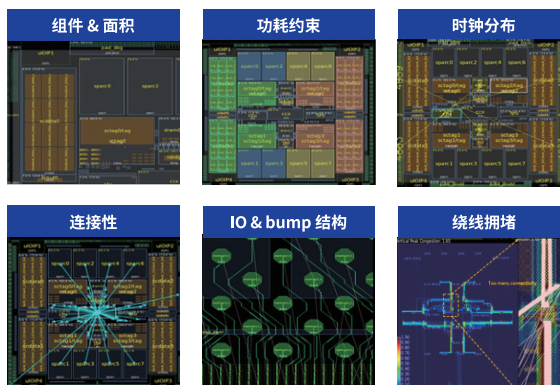
### 产品应用

- RTL 芯片评估
- RTL 布局规划



### 应用实例

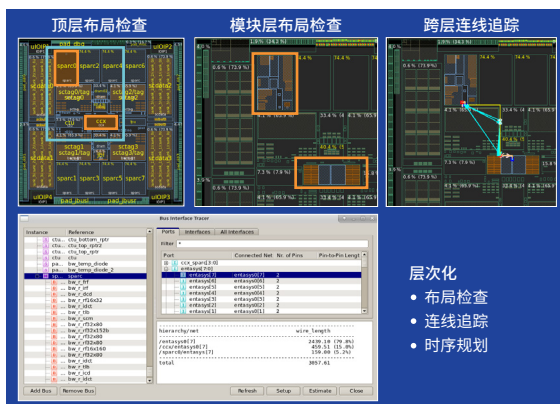
#### 以约束驱动的 RTL 布局规划



#### 总线互连规划



#### 层次化布局规划



- 层次化
- 布局检查
- 连线追踪
- 时序规划